

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-281360

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

G02B 6/42

(21)Application number : 08-095570

(71)Applicant : JAPAN AVIATION ELECTRON IND LTD

(22)Date of filing : 17.04.1996

(72)Inventor : ISHIKAWA HIROKI

HIRAI AYUMI

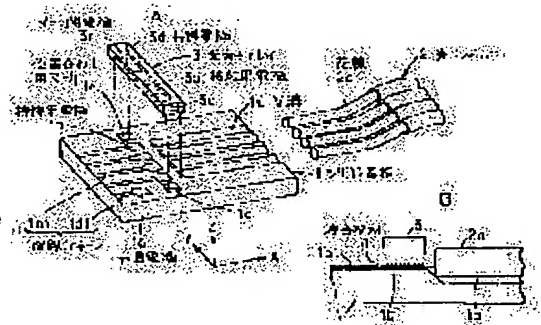
TAKAYAMA KIYOSHI

(54) OPTICAL ELEMENT ARRAY AND PACKAGING STRUCTURE OF OPTICAL FIBER

(57)Abstract:

PROBLEM TO BE SOLVED: To lessen the misalignmngt between the respective optical axes of optical elements and coated optical fibers by forming the marks for alignment of a crystalline packaging substrate as the grooves formed by executing an etching treatment in the same stage as for V-grooves.

SOLUTION: The markers 1c for alignment consist of the grooves formed by using the same mask in the same stage as for the V-grooves 1a. The markers 1c are formed to a V-groove shape and the external shape of the markers 1c is formed to a regular square shape. The markers are formed to the grooves formed by butting four pieces of the isosceles triangular tapered surfaces having the respective sides of the regular rectangular shape as their bases. The external shape of the markers 1c is formed to the square shape having the sides in the longitudinal direction of the V-grooves 1a or the direction perpendicular to the longitudinal direction. Namely, the markers 1c and the V-grooves 1a are formed along the crystal bearings by etching by using the same mask in the same etching stage and, therefore, the misalignment between both is made as small as negligible. The misalignment of the optical axes between the optical elements and the coated optical fibers is made smaller than heretofore.



LEGAL STATUS

[Date of request for examination] 26.01.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2984747

[Date of registration] 01.10.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

for us

15F037 us

①

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-281360

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl.⁹
G 0 2 B 6/42

識別記号 庁内整理番号

F I
G 0 2 B 6/42

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平8-95570

(22) 出願日 平成8年(1996)4月17日

(71) 出願人 000231073

日本航空電子工業株式会社

東京都渋谷区道玄坂1丁目21番2号

(72) 発明者 石川 弘樹

東京都渋谷区道玄坂1丁目21番2号 日本

航空電子工業株式会社内

(72) 発明者 平井 あゆ美

東京都渋谷区道玄坂1丁目21番2号 日本

航空電子工業株式会社内

(72) 発明者 高山 清

東京都渋谷区道玄坂1丁目21番2号 日本

航空電子工業株式会社内

(74) 代理人 弁理士 草野 卓 (外1名)

(54) 【発明の名称】 光素子アレイ及び光ファイバの実装構造

(57) 【要約】

【課題】 光素子と光ファイバの各光軸間の位置ずれを小さくする。

【解決手段】 シリコン基板1の位置合わせ用マーカ1cとして、V溝1aと同一工程でエッチング処理して形成された溝を用いる。同一マスクを用いて同時に形成できるので両者の位置ずれを極めて小さくできる。

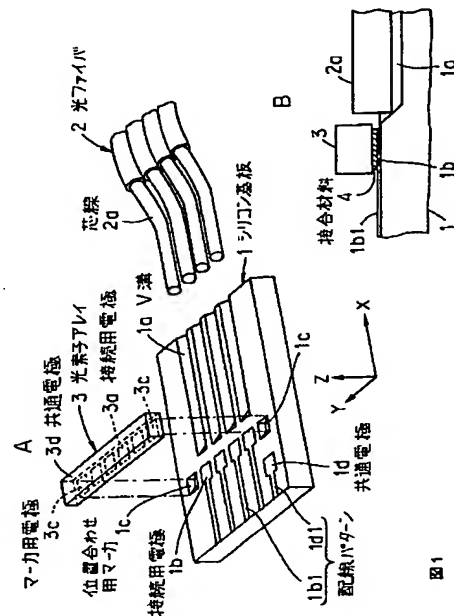


図1

【特許請求の範囲】

【請求項1】 端末の被覆が剥離されて芯線が露出された複数の光ファイバと、

それらの各光ファイバの芯線の端面と光結合すべき光素子（受光素子または発光素子）がアレイ状に形成され、底面に各光素子より導出された接続用電極及び位置合わせのためのマーク用電極がそれぞれ形成された光素子アレイと、

前記光ファイバの芯線を位置決めして保持するV溝と、前記光素子アレイの接続用電極と接続するための接続用電極と、前記光素子アレイのマーク用電極の位置を合わせるための位置合わせ用マークとが形成された結晶性実装基板とより成る光素子アレイ及び光ファイバの実装構造において、

前記結晶性実装基板の前記位置合わせ用マークが、前記V溝と同一工程でエッチング処理して形成された溝より成ることを特徴とする光素子アレイ及び光ファイバの実装構造。

【請求項2】 請求項1において、前記結晶性実装基板がシリコン製であることを特徴とする光素子アレイ及び光ファイバの実装構造。

【請求項3】 請求項1において、前記結晶性実装基板の位置合わせ用マーク及び前記V溝は基板材料の結晶方位に沿って形成されていることを特徴とする光素子アレイ及び光ファイバの実装構造。

【請求項4】 請求項1において、前記結晶性実装基板の前記接続用電極が前記V溝の長手方向と直角方向に配列され、それら接続用電極の内の両端に配された電極の更に外側に前記位置合わせ用マークが配され、それと対応して前記光素子アレイのマーク用電極は複数の前記接続用電極の両外側に配されていることを特徴とする光素子アレイ及び光ファイバの実装構造。

【請求項5】 請求項1において、前記結晶性実装基板の前記接続用電極が前記V溝の長手方向と直角方向に配列され、それらの各接続用電極の周囲に前記位置合わせ用マークが形成され、前記光素子アレイの接続用電極がマーク用電極を兼ねることを特徴とする光素子アレイ及び光ファイバの実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は光素子（発光素子または受光素子）及び光ファイバをシリコン基板等の結晶性実装基板に実装するための実装構造に関し、特に光ファイバ端面に対する光素子の位置精度の向上に関する。

【0002】

【従来の技術】図4に示すように、シリコン基板1に実装する光ファイバ2は端末の被覆が剥離されて芯線2aが露出している。この芯線2aは例えば直径が125μm程度である。光素子アレイ3は例えば厚味が100μ

m程度の極めて薄いもので、各芯線2aの端面と光結合すべき光素子がアレイ状に形成され、底面に各光素子より導出された外部との接続用電極3aがアレイの長手方向に沿って形成され、それら接続用電極3aの内の両端の電極の更に外側に位置合わせのためのマーク用電極3cが形成される。この例ではこれらの電極3a、3cは同じ大きさで方形とされている。また光素子アレイ3の上面に共通電極3dが一面に形成される。

【0003】一方、光素子アレイ3及び光ファイバ2を実装するためのシリコン基板1には、光ファイバ芯線2aを位置決めして保持するV溝1aが図のX軸方向に形成される。V溝1aの外形はシリコン結晶の、図においてX及びY軸方向の結晶方位に正確に一致するように、エッチングにより形成される。シリコン基板1には、光素子アレイ3の接続用電極3aと接続するための接続用電極1bがY軸に沿って形成され、両端の接続用電極の更に外側に、光素子アレイ3のマーク用電極3cの位置を合わせるのに使用する位置合わせ用マーク1cが形成される。この例では位置合わせ用マーク1cは接続用電極1bと同じ大きさの方形電極で構成される。

【0004】一方の位置合わせ用マーク1cの近傍に光素子アレイ3の共通電極3dとワイヤボンディングにより接続される共通電極1dが形成される。接続用電極1b及び共通電極1dから外部接続用の配線パターンが導出され基板の周縁まで延長される。シリコン基板1に光素子アレイ3を実装する場合は、両者を組立て装置にセットし、両者を所定位置に近接対向させ、反射ミラーを利用して図5Cに示すようにシリコン基板1の位置合わせ用マーク1cと光素子アレイ3のマーク用電極3cとを付属の表示器に表示させ、これを見ながら両者の外形が一致するように光素子アレイの位置を微調整した後、反射ミラーを退避させて、光素子アレイをシリコン基板1に接合する。接合材料4としては半田や導電性接着剤が用いられる。

【0005】光素子アレイを接合した後、光ファイバ芯線2aをV溝1aの所定位置にセットし、接着剤で固定する。

【0006】

【発明が解決しようとする課題】従来の実装構造では、光素子アレイ3の光素子と光ファイバ芯線2aの各光軸間の位置ずれが比較的大きく、光の結合損失が大きくなる欠点があった。この発明はこの欠点を解決することを目的としている。

【0007】

【課題を解決するための手段】

（1）請求項1の発明では、結晶性実装基板の位置合わせ用マークが、V溝と同一工程でエッチング処理して形成された溝より成る。

（2）請求項2の発明では、結晶性実装基板がシリコン製とされる。

(3) 請求項3の発明では、結晶性実装基板の位置合わせマーク及びV溝は基板材料の結晶方位に沿って形成される。

【0008】(4) 請求項4の発明では、結晶性実装基板の接続用電極がV溝の長手方向と直角方向に配列され、それら接続用電極の内の両端に配された電極の更に外側に位置合わせ用マークが配され、それと対応して光素子アレイのマーク用電極は複数の接続用電極の両外側に配される。

(5) 請求項5の発明では、結晶性実装基板の接続用電極がV溝の長手方向と直角方向に配列され、それらの各接続用電極の周囲に位置合わせ用マークが形成され、光素子アレイの接続用電極がマーク用電極を兼ねるものである。

【0009】

【発明の実施の形態】従来の実装構造において、光素子の光軸と光ファイバ芯線の光軸との位置ずれの原因を種々検討した結果、V溝1aに対する位置合わせ用マーク1cの位置ずれが主な原因であることが分かってきた。即ち、V溝を形成する工程と位置合わせ用マーク1c（接続用電極1b等と同一工程で形成される）を形成する工程とは別の工程であり、それぞれの工程で用いるマスク相互の位置ずれが生ずるのである。

【0010】従って、このようなマスク相互の位置ずれの影響を受けないようにするには、V溝1aと位置合わせ用マーク1cとを同一工程で同一マスクを用いて形成すればよいことが分かる。よって、この発明では、図1、図2に図4、図5と対応する部分に同じ符号を付けて示すように、位置合わせ用マーク1cはV溝1aと同じ工程で同じマスクを用いて形成された溝より成る。図1Aの例ではマーク1cはV溝状に、図2Aの例ではマーク1cの外形は正方形とされ、その各辺を底辺とする二等辺三角形のテーパ面を4個つき合わせた溝に形成される。

【0011】位置合わせ用マーク1cの外形はV溝1aの長手方向及びその長手方向と直角方向の辺を持つ四角形に形成される。従来例で述べたようにV溝1aの長手方向及び長手方向と直角な方向はシリコンの結晶方位に一致するように形成されるが、この発明では位置合わせ用マーク1cの四角形の各辺についてもV溝と同様に結晶方位に沿って形成される（請求項3）。

【0012】マーク1cとV溝1aは同一工程で同じマスクを用い、エッチングにより結晶方位に沿って形成されるので、両者間の位置ずれは無視できるほど小さくなり、よって光素子と光ファイバ芯線との光軸のずれを従来より格段に小さくできる。図2Cは組立装置に付属の表示器に表示された基板のマーク1cと光素子アレイのマーク用電極3cの位置合わせ前の状態を示している。

【0013】図1、図2の実施例では従来例と同様にマ

ーク1cは両端の接続用電極の更に外側に形成されている。このように両外側にマーク1c及びマーク用電極3cを配置するのは、2つのマーク1c（またはマーク用電極3c）間の距離が大きくなり、光素子アレイ3の基板に対する位置を最も精度よく合わせることができるからである。

【0014】図3に示すのは変形実施例であって、位置合わせ用マーク1cを各接続用電極1bの周囲に、電極1bの周縁より多少間隔をあけて形成している。一方、光素子アレイ3の接続用電極3aがマーク用電極を兼ねている（請求項5）。光素子アレイ3の位置を合わせるには、表示器を用いて、図3Cに示すように接続用電極3aの周縁を基板のマーク1cの周縁に一致させればよい。

【0015】図3の場合は図1の両外側のマーク用電極3c及び位置合わせ用マーク1cが不要なので、光素子アレイ3の長さやシリコン基板1の幅を小さくできるメリットがある。光素子アレイ3及び光ファイバ2を実装する基板はシリコン基板に限らず、他の結晶性基板を用いることもできる。

【0016】

【発明の効果】以上述べたように、この発明では結晶性実装基板の位置合わせ用マーク1cはV溝1aと同じ工程でエッチングして形成された溝より成る。従って、マーク1cはV溝1aと同一マスクを用いて同時に形成されるので、両者相互の位置ずれは無視できるほど小さくできる。よって、このマーク1cに光素子アレイ3を位置合わせすることによって、光素子とV溝1aに位置決めされた光ファイバ芯線2aとの各光軸を従来より精度よく合わせることができる。

【図面の簡単な説明】

【図1】この発明の実施例を示す図で、Aは分解斜視図、Bは要部の断面図。

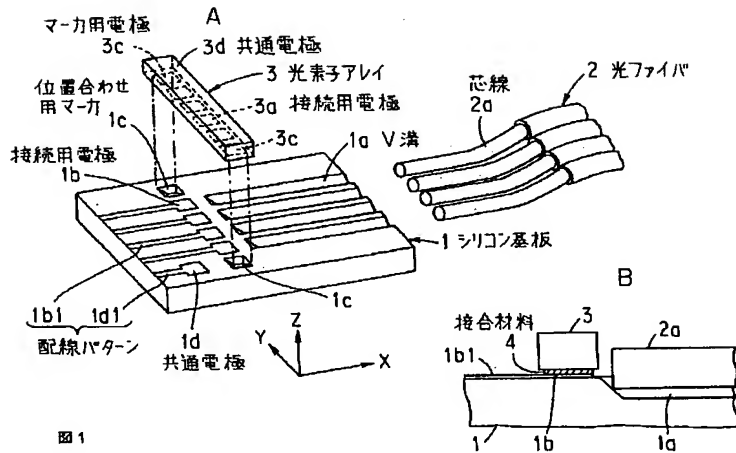
【図2】この発明の他の実施例を示す図で、Aはシリコン基板の平面図、Bは光素子アレイの底面図、Cは表示器に表示されたAの位置合わせ用マーク1cとBのマーク用電極3cの位置を示す図。

【図3】この発明の更に他の実施例を示す図で、Aはシリコン基板の平面図、Bは光素子アレイの底面図、Cは表示器に表示されたAの位置合わせ用マーク1cにBの接続用電極（マーク用電極と兼ねる）3aの位置を合わせた状態を示す図。

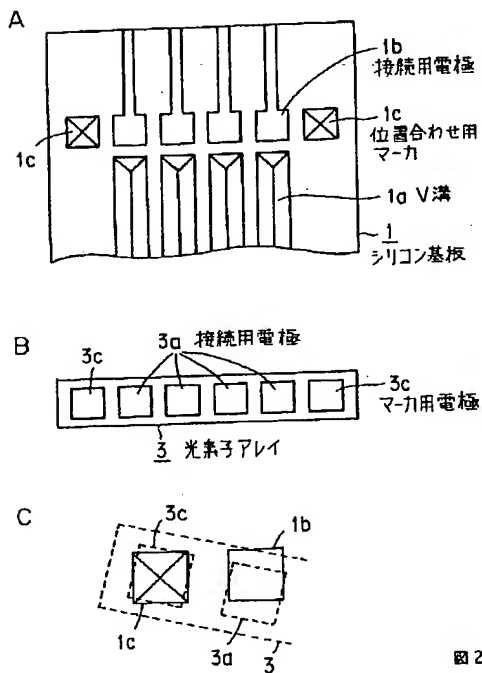
【図4】従来の実装構造を示す図で、Aは分解斜視図、Bは要部の断面図。

【図5】Aは図4のシリコン基板1の平面図、Bは図4の光素子アレイ3の底面図、Cは表示器に表示されたAの位置合わせ用マーク1cとBのマーク用電極3cの位置を示す図。

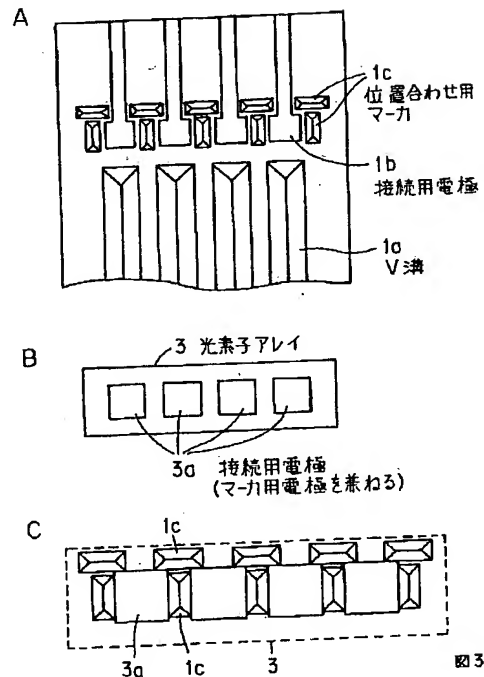
【図1】



【図2】



【図3】



【図4】

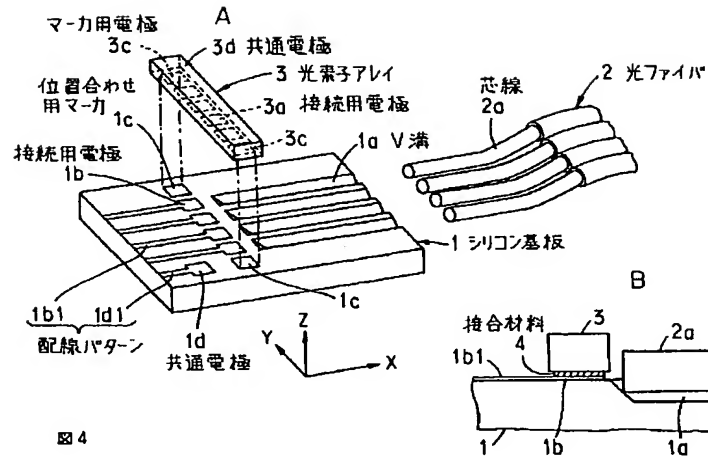


図4

【図5】

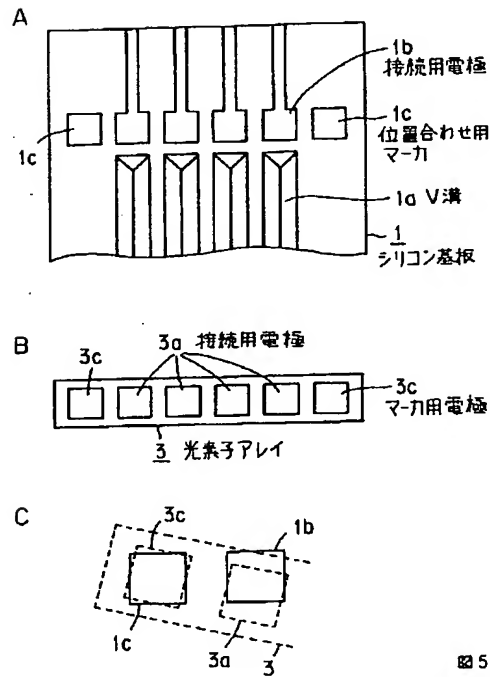


図5

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)